

**KOREAN INDUSTRIAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial Property Office.

Application Number: 10-2003-0018303

Date of Application: 24 March 2003

Applicant(s): Fairchild Korea Semiconductor Co., Ltd.

21 November 2003

COMMISSIONER

PATENT APPLICATION

[Document Name]	Patent Application
Application Type]	Patent
[Receiver]	Commissioner
[Reference No.]	0020
[Filing Date]	2003.03.24.
[IPC]	H01L
[Title]	Mos-gated transistor having improved UIS capability
[Applicant]	
Name:	Fairchild Korea Semiconductor Co., Ltd.
Applicant code:	1-1999-025205-6
[Attorney]	
Name:	Young-pil Lee
Attorney's code:	9-1998-000334-6
Reg. No. of General	
Power of Attorney:	1999-049858-3
Name:	Sang-bin Jeong
Attorney's code:	9-1998-000541-1
Reg. No. of General	
Power of Attorney:	1999-050077-7
[Inventor]	
Name:	Soo-seong Kim
I.D. No.	690316-1122019
Zip Code	140-120
Address:	A-404, Hyochang Apt., Hyochang-dong, Yongsan-gu, Seoul, Republic of Korea
Nationality:	Republic of Korea
[Inventor]	
Name:	Chong-man Yun
I.D. No.	670416-1068911
Zip Code	140-031
Address:	110-101, Ichon Apt., Ichon 1-dong, Yongsan-gu, Seoul, Republic of Korea.
Nationality:	Republic of Korea.

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney	Young-pil Lee	(seal)
Attorney	Sang-bin Jeong	(seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	18 Sheet(s)	18,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	0 Claim(s)	0 won
Total:		47,000 won

[Enclosures]

1. Abstract and Specification (and Drawings)	1 copy each
---	-------------



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0018303
Application Number

출원년월일 : 2003년 03월 24일
Date of Application MAR 24, 2003

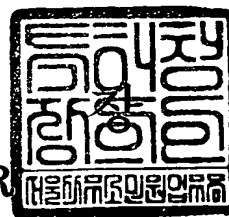
출원인 : 페어차일드코리아반도체 주식회사
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2003 년 11 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.04.24
【제출인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【사건과의 관계】	출원인
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【사건의 표시】	
【출원번호】	10-2003-0018303
【출원일자】	2003.03.24
【발명의 명칭】	향상된 UIS 내성을 갖는 모스 게이트형 트랜지스터
【제출원인】	
【접수번호】	1-1-2003-0102720-10
【접수일자】	2003.03.24
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	김수성
【성명의 영문표기】	KIM, Soo Seong
【주민등록번호】	690316-1122019
【우편번호】	140-120
【주소】	서울특별시 용산구 효창동 효창아파트 A동 404호
【국적】	KR

【발명자】**【성명의 국문표기】**

윤종만

【성명의 영문표기】

YUN, Chong Man

【주민등록번호】

670416-1068911

【우편번호】

140-031

【주소】

서울특별시 용산구 이촌1동(동부이촌동) 이촌아파트 110동 1 01호

【국적】

KR

【취지】특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인
이영필 (인)**【수수료】****【보정료】**

0 원

【기타 수수료】

원

【합계】

0 원



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.24
【국제특허분류】	H01L
【발명의 명칭】	향상된 U I S 내성을 갖는 모스 게이트형 트랜지스터
【발명의 영문명칭】	MOS-gated transistor having improved UIS capability
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-050077-7
【발명자】	
【성명의 국문표기】	김수성
【성명의 영문표기】	KIM, Soo Seong
【주민등록번호】	690316-1122019
【우편번호】	140-120
【주소】	서울특별시 용산구 효창동 효창아파트 A동 404호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤종만
【성명의 영문표기】	YUN, Chong Man
【주민등록번호】	670416-1068911

【우편번호】	140-031
【주소】	서울특별시 용산구 이촌1동 이촌아파트 110-101
【국적】	KR
【발명자】	
【성명의 국문표기】	한민구
【성명의 영문표기】	HAN,Min Koo
【주민등록번호】	480721-1037614
【우편번호】	135-110
【주소】	서울특별시 강남구 압구정동 현대아파트 85-201
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	47,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명의 모스 게이트형 트랜지스터는, 컬렉터 영역으로 사용되는 반도체 기판과, 반도체 기판 위에 형성된 제1 도전형의 드리프트 영역과, 드리프트 영역의 상부 일정 영역에 형성된 제2 도전형의 웰 영역과, 드리프트 영역의 상부 일정 영역에서 드리프트 영역보다 상대적으로 높은 제1 도전형의 불순물 농도를 가지면서 웰 영역의 일 측면과 인접되게 형성되는 불순물 영역과, 드리프트 영역의 상부 일정 영역에서 불순물 영역에 의해 웰 영역과는 이격되도록 불순물 영역과 인접되게 형성된 제2 도전형의 플로팅 웰 영역과, 웰 영역의 상부 일정 영역에 형성된 제1 도전형의 에미터 영역과, 에미터 영역과 불순물 영역 사이의 웰 영역 표면을 덮도록 형성된 게이트 절연막, 및 게이트 절연막 위에 형성된 게이트 전극을 포함한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

향상된 U I S 내성을 갖는 모스 게이트형 트랜지스터{MOS-gated transistor having improved UIS capability}

【도면의 간단한 설명】

도 1a는 종래의 모스 게이트형 트랜지스터의 일 예로서 일반적인 구조의 절연 게이트 바이폴라 트랜지스터를 나타내 보인 단면도이다.

도 1b는 UIS하에서 도 1a의 절연 게이트 바이폴라 트랜지스터 내부의 홀 전류 밀도를 나타내 보인 도면이다.

도 1c는 UIS하에서 도 1a의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압 및 컬렉터 전류 변화를 나타내 보인 그래프이다.

도 2a는 종래의 모스 게이트형 트랜지스터의 다른 예로서 JFET 영역을 갖는 절연 게이트 바이폴라 트랜지스터를 나타내 보인 단면도이다.

도 2b는 UIS하에서 도 2a의 절연 게이트 바이폴라 트랜지스터 내부의 홀 전류 밀도를 나타내 보인 도면이다.

도 2c는 UIS하에서 도 2a의 절연 게이트 바이폴라 트랜지스터의 컬렉터-에미터 전압 및 컬렉터 전류 변화를 나타내 보인 그래프이다.

도 3은 본 발명에 따른 모스 게이트형 트랜지스터의 일 예로서, 향상된 UIS 내성을 갖는 절연 게이트 바이폴라 트랜지스터를 나타내 보인 단면도이다.

도 4a 내지 도 4c는 UIS하에서 본 발명의 일 실시예에 따른 절연 게이트 바이폴라 트랜지스터 내부의 홀 전류 밀도를 나타내 보인 도면들이다.

도 5는 본 발명의 일 실시예에 따른 절연 게이트 바이폴라 트랜지스터의 시뮬레이션을 위한 UIS 테스트 회로를 나타내 보인 회로도이다.

도 6은 도 5의 UIS 테스트 회로에 의해 수행된 테스트의 시뮬레이션 결과로서 시간에 따른 컬렉터 전압 및 전류의 변화를 나타내 보인 그래프이다.

도 7은 도 5의 UIS 테스트 회로에 의해 수행된 테스트의 시뮬레이션 결과로서 $n+$ 에미터 하단의 수평방향으로의 홀 전류 밀도를 나타내 보인 그래프이다.

도 8은 도 5의 UIS 테스트 회로에 의해 수행된 테스트의 시뮬레이션 결과로서 UIS 하에서의 홀 전류 밀도의 최대값 분포를 나타내 보인 것으로 도 7로부터 추출한 그래프이다.

도 9 내지 도 14는 본 발명에 따른 모스 게이트형 트랜지스터의 일반적인 전기적 특성들을 각각 나타내 보인 그래프들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 스위칭 소자로 사용되는 모스 게이트형 트랜지스터에 관한 것으로서, 특히 향상된 UIS(Unclamped Inductive Switching) 내성을 갖는 모스 게이트형 트랜지스터에 관한 것이다.

<15> 전력용 모스 전계 효과 트랜지스터(MOSFET) 또는 절연 게이트 바이폴라 트랜지스터(IGBT)와 같은 모스 게이트형 트랜지스터의 경우 충분한 견고함(ruggedness)

을 가지고 있어야 한다. 여기서 견고함은, 애벌런치 전류에 견딜 수 있는 정도를 나타내는 것으로 정의할 수 있다. 특히 모스 게이트형 트랜지스터가 인덕터를 갖는 부하에 연결되어 사용할 때 상기 견고함의 정도는 소자의 안정성에 중요한 인자로서 작용한다. 이유는 그와 같은 상황에서 UIS(Unclamped Inductive Switching)가 일어날 수 있으며, 이에 따라 많은 양의 전류가 모스 게이트형 트랜지스터 내부를 갑자기 흐르게 되어 경우에 따라서는 소자가 파괴(failure)될 수도 있기 때문이다. 보다 구체적으로 설명하면, 인덕터를 통해 흐르는 전류가 갑자기 턴 오프되면, 역기전력(counter EMF)이 발생하게 되고, 이 역기전력은 스위칭 소자인 모스 게이트형 트랜지스터의 양단에 매우 높은 포텐셜을 생성할 수 있다. 이와 같이 모스 게이트형 트랜지스터의 양단에 유기된 포텐셜은 트랜지스터의 정격 브레이크다운(rated breakdown)을 초과할 수 있으며, 결과적으로 소자 파괴(catastrophic failure)가 일어난다.

<16> 도 1a는 종래의 모스 게이트형 트랜지스터의 일 예로서 일반적인 구조의 절연 게이트 바이폴라 트랜지스터(100)를 나타내 보인 단면도이다. 도 1b는 UIS하에서 도 1a의 절연 게이트 바이폴라 트랜지스터(100) 내부의 홀 전류 밀도를 나타내 보인 도면이다.

<17> 도 1a 및 도 1b를 참조하면, p^+ 형 기판(102) 위에 n^+ 형 버퍼층(104) 및 n^- 형 에피택셜층(106)이 순차적으로 적층된다. p^+ 형 기판(102)은 컬렉터 영역으로 사용된다. n^- 형 에피택셜층(106)은 드리프트 영역으로 사용된다. n^- 형 에피택셜층(106)의 상부 일정 영역에는 p^- 형 웰 영역(108)이 형성된다. p^- 형 웰 영역(108)의 표면에는 n^+ 형 에미터 영역(110)이 p^- 형 웰 영역(108)에 의해 둘러싸이도록 배치된다. n^+ 형 에미터 영역(110)과 n^- 형 에피택셜층(106) 사이에 배치된 p^- 형 웰 영역(108) 표면 영역은 일정 조건 하에서 채널이 형성되는 채널 형성 영역이다.

- <18> 게이트 전극(114)은 게이트 절연막(112)을 개재하여 채널 형성 영역 및 n^- 형 에피택셜층(106) 표면 위에 배치된다. 에미터 전극(116)은 n^+ 형 에미터 영역(110)과 전기적으로 연결되도록 n^+ 형 에미터 영역(110) 위에 배치된다. 도면에 나타내지는 않았지만, 게이트 전극(114)과 에미터 전극(116)은 층간 절연막(미도시)에 의해 상호 전기적으로 절연된다. 그리고 컬렉터 전극(118)은 p^+ 형 기판(102)과 전기적으로 연결되도록 p^+ 형 기판(102) 하부면에 배치된다.
- <19> 이와 같은 구조의 절연 게이트 바이폴라 트랜지스터(100)에 있어서, UIS 발생시 절연 게이트 바이폴라 트랜지스터(100)의 내부를 관통하여 흐르는 전류의 대부분을 차지하는 홀 전류들(hole currents)의 밀도는, 도 1b에 도시된 바와 같이, n^+ 형 에미터 영역(110) 주변과 함께 p^- 형 웰 영역(108)의 밑면을 통하는 이동 경로(도면에서 a1 및 b1로 표시)에서 가장 높고, p^- 형 웰 영역(108)의 측면을 통하는 이동 경로(도면에서 c1로 표시)로 갈수록 낮아진다. 이는 p^- 형 웰 영역(108)의 밑면에서 브레이크다운이 먼저 발생하기 때문이다. 따라서, n^+ 에미터 하단으로 흐르는 전류량이 감소되어 n^+ 형 에미터 영역(110) 하부의 p^- 형 웰 영역(108)에서의 전압강하가 감소하게 된다. 그리고 이에 따라 n^+ 형 에미터 영역(110)- p^- 형 웰 영역(108)- n^- 형 에피택셜층(106)으로 이루어지는 기생 npn 트랜지스터의 동작이 억제되어 UIS 내성이 증가된다.
- <20> 그러나 상기 절연 게이트 바이폴라 트랜지스터(100)는 비록 UIS 내성이 높다는 장점을 제공하지만, 정상적인 동작시, 병목 현상과 동일한 효과로 인하여 "A" 부근에서의 JFET 저항 성분이 증가하므로 포화 전압이 증가한다는 문제가 있다. p^- 형 웰 영역(108) 사이의 간격을 증가시킴으로써 이 문제를 해결할 수는 있으나, 이 경우 전체적인 소자 크기가 증가하여 집적도가 떨어진다는 단점을 갖는다.

- <21> 도 1c는 UIS하에서 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 컬렉터-에미터 전압 및 컬렉터 전류 변화를 나타내 보인 그래프이다.
- <22> 도 1c를 참조하면, 게이트 전극(114)에 일정 크기의 바이어스가 인가되어 턴 온 상태를 유지하는 동안(시점 t_1 이전)에는 컬렉터-에미터 전류(I_C)(도면에서 100v가 지시하는 곡선)이 서서히 증가한다. 그러나 턴 오프되는 시점인 t_1 에서 UIS가 발생하게 되면, 인덕터에 저장된 에너지가 절연 게이트 바이폴라 트랜지스터(100)로 유입되고, 이에 따라 컬렉터 전압(V_{CE})(도면에서 100i가 지시하는 곡선)는 급격하게 증가한다. UIS가 발생하는 시점인 t_1 에서의 컬렉터 전류는 대략 22A이다. 한편 컬렉터-에미터 전류(I_C)는 서서히 감소하지만, 일정 시간 경과후의 시점 t_2 에서 컬렉터-에미터 전류(I_C)는 다시 증가한다. 이는 시점 t_2 에서 UIS에 의한 소자 파괴(failure)가 발생했다는 것을 의미한다.
- <23> 도 2a는 종래의 모스 게이트형 트랜지스터의 다른 예로서 JFET 영역을 갖는 절연 게이트 바이폴라 트랜지스터(200)를 나타내 보인 단면도이다. 그리고 도 2b는 UIS하에서 도 2a의 절연 게이트 바이폴라 트랜지스터(200) 내부의 홀 전류 밀도를 나타내 보인 도면이다.
- <24> 도 2a 및 도 2b를 참조하면, 절연 게이트 바이폴라 트랜지스터(200)는, n^- 형 에피택셜층(106) 상부 표면에 형성된 n 형 JFET 영역(210)을 포함하는 것을 제외하고는 도 1a의 절연 게이트 바이폴라 트랜지스터(100)와 거의 동일하다. n 형 JFET 영역(210)은 p^- 형 웰 영역(108)의 측면과 함께 pn 접합(211)을 형성한다. n 형 JFET 영역(210)에서의 불순물 농도는 n^- 형 에피택셜층(106)에서의 불순물 농도보다 상대적으로 더 높다.
- <25> 이와 같은 구조의 절연 게이트 바이폴라 트랜지스터(200)에 있어서, 정상 동작시 JFET 영역(210)의 낮은 저항으로 인하여 게이트 전극(114) 하부의 표면 부근에서의 병목 현상이 해

소된다는 효과가 발생된다. 그러나 도 2b에 도시된 바와 같이, UIS 발생시, 절연 게이트 바이폴라 트랜지스터(200)의 내부를 관통하여 흐르는 전류의 대부분을 차지하는 홀 전류들의 밀도가 n^+ 형 에미터 영역(110) 주변(도면에서 "a2"로 표시)에서 가장 높고, 다음으로 n 형 JFET 영역(210)을 지나 p^- 형 웰 영역(108)의 측면을 통하는 이동 경로(도면에서 b2로 표시)에서 높으며, 그리고 p^- 형 웰 영역(108)의 밑면을 통하는 이동 경로(도면에서 c2로 표시)에서 가장 낮게 나타난다. 이는 브레이크다운이 p^- 형 웰 영역(108)의 하부면 부분보다는 측면 부분에서 먼저 발생하고, 이에 따라 보다 많은 홀 전류들이 p^- 형 웰 영역(108)의 측면을 통해 흐른다는 것을 나타낸다. 따라서, n^+ 형 에미터 영역(110) 하단으로 흐르는 홀 전류의 양의 증가로 인하여 기생 npn 바이폴라 트랜지스터의 동작이 쉽게 활성화되고, 결국 UIS 내성은 상대적으로 더 열악해진다고 할 수 있다.

<26> 도 2c는 UIS하에서 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 컬렉터-에미터 전압 및 컬렉터 전류 변화를 나타내 보인 그래프이다.

<27> 도 2c를 참조하면, 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 UIS하에서의 컬렉터-에미터 전류(I_C)(도면에서 200v가 지시하는 곡선) 및 컬렉터 전압(V_{CE})(도면에서 200i가 지시하는 곡선)의 프로파일은 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우와 유사하다. 단지 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우 UIS가 발생하는 시점에서의 컬렉터 전류는 대략 0.18A로서, 대략 22A의 크기를 갖는 도 1a의 절연 게이트 바이폴라 트랜지스터(100)에 비하여 매우 낮은 값을 가진다. 이는 도 2a의 절연 게이트 바이폴라 트랜지스터(200)가 상대적으로 더 UIS 내성이 낮다는 것을 나타내는 것이다.

【발명이 이루고자 하는 기술적 과제】

<28> 본 발명이 이루고자 하는 기술적 과제는 UIS 발생시 소자 내부에서의 전류 이동을 원활하게 하는 구조를 채택함으로써 향상된 UIS 내성을 갖는 동시에 정상적인 스위칭 온 동작시 표면 부근에서의 병목 현상이 억제되도록 할 수 있는 모스 게이트형 트랜지스터를 제공하는 것이다.

【발명의 구성 및 작용】

<29> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 모스 게이트형 트랜지스터는, 컬렉터 영역으로 사용되는 반도체 기판; 상기 반도체 기판 위에 형성된 제1 도전형의 드리프트 영역; 상기 드리프트 영역의 상부 일정 영역에 형성된 제2 도전형의 웰 영역; 상기 드리프트 영역의 상부 일정 영역에서 상기 드리프트 영역보다 상대적으로 높은 제1 도전형의 불순물 농도를 가지면서 상기 웰 영역의 일 측면과 인접되게 형성되는 불순물 영역; 상기 드리프트 영역의 상부 일정 영역에서 상기 불순물 영역에 의해 상기 웰 영역과는 이격되도록 상기 불순물 영역과 인접되게 형성된 제2 도전형의 플로팅 웰 영역; 상기 웰 영역의 상부 일정 영역에 형성된 제1 도전형의 에미터 영역; 상기 에미터 영역과 상기 불순물 영역 사이의 웰 영역 표면을 덮도록 형성된 게이트 절연막; 및 상기 게이트 절연막 위에 형성된 게이트 전극을 포함하는 것을 특징으로 한다.

<30> 상기 반도체 기판과 상기 드리프트 영역 사이에서 상기 드리프트 영역과 동일 도전형을 갖도록 형성된 버퍼층을 더 포함하는 것이 바람직하다.

<31> 상기 웰 영역과 상기 플로팅 웰 영역 사이의 간격은 3-6 μm 인 것이 바람직하다.

<32> 상기 드리프트 영역의 두께는 40-120 μm 인 것이 바람직하다.

- <33> 상기 반도체 기판의 도전형은 제1 도전형 또는 제2 도전형인 것이 바람직하다.
- <34> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <35> 도 3은 본 발명에 따른 모스 게이트형 트랜지스터의 일 예로서, 향상된 UIS 내성을 갖는 절연 게이트 바이폴라 트랜지스터를 나타내 보인 단면도이다.
- <36> 도 3을 참조하면, p^+ 형 기판(302) 위에 n^+ 형 버퍼층(304) 및 n^- 형 에피택셜층(306)이 순차적으로 적층된다. n^- 형 에피택셜층(306)의 두께는 대략 $40\text{--}60\mu\text{m}$ 정도가 적절하지만, 예컨대 n^+ 형 버퍼층(304)이 없는 NPT(Non-Punch-Through)형의 경우에는 대략 $120\mu\text{m}$ 까지 증가될 수도 있다. p^+ 형 기판(302)은 컬렉터 영역으로 사용된다. n^- 형 에피택셜층(306)은 드리프트 영역으로 사용된다. n^- 형 에피택셜층(306)의 상부 일정 영역에는 p^- 형 웰 영역(308)이 형성된다. p^- 형 웰 영역(308)의 표면에는 n^+ 형 에미터 영역(310)이 p^- 형 웰 영역(308)에 의해 둘러싸이도록 배치된다. n^+ 형 에미터 영역(310)과 n^- 형 에피택셜층(306) 사이에 배치된 p^- 형 웰 영역(308) 표면 영역은 일정 조건 하에서 채널이 형성되는 채널 형성 영역(309)이다.
- <37> n^- 형 에피택셜층(306) 상부 표면에는 n 형 JFET 영역(320)이 배치된다. n 형 JFET 영역(320)은 p^- 형 웰 영역(308)의 측면과 함께 제1 pn 접합(321)을 형성한다. n 형 JFET 영역(320)에서의 불순물 농도는 n^- 형 에피택셜층(306)에서의 불순물 농도보다 상대적으로 더 높다. n^- 형 에피택셜층(306)의 상부 표면에는 p^- 형 플로팅 웰 영역(322)도 또한 배치된다. 이 p^- 형 플로팅 웰 영역(322)은 n 형 JFET 영역(320)과 함께 제2 pn 접합(323)을 형성한다. p^- 형 플로팅 웰 영역(322)은 n 형 JFET 영역(320)에 의해 p^- 형 웰 영역(308)과는 일정 간격 이격된다. 이격

거리는, 600V급의 절연 게이트 바이폴라 트랜지스터의 경우 대략 $3\text{-}6\mu\text{m}$ 정도 되며, 정격 전압이 증가할수록 이격 거리는 더 증가될 수도 있다.

<38> 게이트 전극(314)은 게이트 절연막(312)을 개재하여 채널 형성 영역(309), n^- 형 에피택셜층(306) 및 p^- 형 플로팅 웰 영역(322) 표면 위에 배치된다. 그러나 반드시 n^- 형 에피택셜층(306) 및 p^- 형 플로팅 웰 영역(322) 위에도 형성될 필요는 없다. 에미터 전극(316)은 n^+ 형 에미터 영역(310)과 전기적으로 연결되도록 n^+ 형 에미터 영역(310) 위에 배치된다. 도면에 나타내지는 않았지만, 게이트 전극(314)과 에미터 전극(316)은 층간 절연막(미도시)에 의해 상호 전기적으로 절연된다. 그리고 컬렉터 전극(318)은 p^+ 형 기판(302)과 전기적으로 연결되도록 p^+ 형 기판(302) 밑에 배치된다.

<39> 도 4a 내지 도 4c는 UIS하에서 본 발명의 일 실시예에 따른 절연 게이트 바이폴라 트랜지스터 내부의 홀 전류 밀도를 나타내 보인 도면들이다. 구체적으로 도 4a는 p^- 형 플로팅 웰 영역(322)과 p^- 형 웰 영역(308)이 일정 간격 이상 이격된 경우이고, 도 4b는 p^- 형 플로팅 웰 영역(322)과 p^- 형 웰 영역(308) 사이의 간격이 더 좁혀진 경우이며, 그리고 도 4c는 도 4a의 경우와 같이 p^- 형 플로팅 웰 영역(322)과 p^- 형 웰 영역(308) 사이의 간격을 일정 간격 이상으로 유지시키면서 동시에 n^- 형 에피택셜층(306)의 두께를 $10\mu\text{m}$ 만큼 더 얇게 형성한 경우이다.

<40> 도 4a 내지 도 4c에 도시된 바와 같이, 어느 경우이더라도 홀 전류 밀도가 균등하게 분포된다는 것을 알 수 있다. 즉 대부분의 홀 전류들이 n^- 형 에피택셜층(306)과 p^- 형 웰 영역(308) 사이의 접합을 통하여 이동되며, 특히 가장 넓은 면적의 p^- 형 웰 영역(308) 하단부를 통해 가장 많은 홀 전류들이 흐른다. 이

는 p^- 형 플로팅 웰 영역(322)이 존재함으로써 표면 부근에서의 브레이크다운 발생이 억제되기 때문이다. p^- 형 플로팅 웰 영역(322)이 없는 경우, n 형 JFET 영역(320)에서의 상대적으로 높은 농도로 인하여 표면 부분에서의 전계 집중 현상이 발생한다. 이에 따라 표면 부근에서 브레이크다운이 발생하여 UIS에 의한 전류들이 표면과 채널 형성 영역(309)으로 집중된다는 것은 이미 설명한 바 있다.

<41> UIS가 발생하면, n^- 형 에피택셜층(306) 및 n 형 JFET 영역(320)과 p^- 형 웰 영역(308) 사이에는 역 바이어스가 인가된다. 마찬가지로 n^- 형 에피택셜층(306) 및 n 형 JFET 영역(320)과 p^- 형 플로팅 웰 영역(322) 사이에도 역 바이어스가 인가된다. 따라서 이 경계에서부터 각각 양 방향으로 디플리션 영역들이 확장되기 시작한다. 양 방향으로 확장되는 디플리션 영역들 중 n^- 형 에피택셜층(306)을 향해 확장되는 디플리션 영역들은 상호 중첩되게 되고, 이에 따라 n^- 형 에피택셜층(306) 내에는 플래너 접합(planar junction) 구조(350)가 만들어진다. 이 플래너 접합 구조에서의 전계 집중이 다른 접합 구조, 예컨대 실린더형 또는 구형 접합 구조(cylindrical junction or spherical junction)에 비하여 가장 작다는 것은 잘 알려져 있는 사실이다. 따라서 이와 같이 플래너 접합 구조(350)의 형성에 의해 표면 부분에서 브레이크다운이 발생하지 않게 되어 UIS 내성이 강해지게 되는 것이다.

<42> 도 4b에 나타낸 바와 같이, p^- 형 플로팅 웰 영역(322)과 p^- 형 웰 영역(308) 사이의 간격이 더 좁혀진 경우, 중첩되는 디플리션 영역의 범위가 더 넓어지게 되므로 플래너 접합 구조(350)가 더 평평한(flat) 구조가 되어 UIS 특성이 더욱 더 향상된다는 것을 알 수 있다.

<43> 이하에서는 UIS 테스트 회로에서 시뮬레이션한 결과들을 설명하기로 한다.

- <44> 도 5는 본 시뮬레이션에서 사용된 UIS 테스트 회로이다. 그리고 도 6 내지 도 8은 도 5의 테스트 회로에 의해 수행된 테스트의 시뮬레이션 결과를 각각 나타내 보인 그래프들이다.
- <45> 먼저 도 5를 참조하면, 테스트에 사용되는 소자(DUT; Device Under Test)인 절연 게이트 바이폴라 트랜지스터(300)의 게이트 단자(G)에는 게이트 구동 전압(V_g)을 발생시키는 게이트 구동 전원(510)이 연결된다. 컬렉터 단자(C)에는 일정 크기의 인덕턴스(L)를 갖는 인덕터 부하(520)가 직렬로 연결된다. 에미터 단자(E)는 접지된다. 인덕터 부하(520)는 전압(V_{dd}) 인가를 위한 외부 전원(530)에도 직렬로 연결된다.
- <46> 이와 같은 테스트 회로를 이용한 테스트를 위해, 절연 게이트 바이폴라 트랜지스터(300)의 게이트 단자(G)에는 일정 시간동안 게이트 구동 전원(510)으로부터 게이트 구동 전압(V_g)이 인가된다. 게이트 구동 전압(V_g)이 인가되는 동안 절연 게이트 바이폴라 트랜지스터(300)는 턴 온 상태를 유지한다. 이 상태에서 게이트 구동 전압(V_g)이 인가되지 않게 되면, 즉 절연 게이트 바이폴라 트랜지스터(300)가 턴 오프되면, 드레인 전류의 흐름이 갑작스럽게 중단된다. 인덕터(520)의 자계는 순간적으로 사라질 수 없으므로, 절연 게이트 바이폴라 트랜지스터(300)의 드레인에는 전압이 유기된다. 이 유기된 포텐셜은 애벌런치 브레이크다운 전압의 크기를 쉽게 넘는다. 애벌런치 동안에, 이 전압은 브레이크다운 전압의 값으로 묶이고, 인덕터(520)에 저장되었던 전류는 선형적으로 줄어든다. 그런데 이와 같은 과정에서 2차 브레이크다운에 의한 기생 바이폴라 트랜지스터의 턴 온 현상이 발생하면, UIS 현상에 의해 절연 게이트 바이폴라 트랜지스터(300)가 파괴되는 경우가 발생할 수 있다.
- <47> 이와 같은 UIS 테스트 회로에 의해 수행된 테스트의 시뮬레이션 결과들을 설명하면 다음과 같다.

<48> 먼저 도 6에 도시된 바와 같이, 컬렉터 전압 변화(610V 및 630V로 각각 표시) 및 컬렉터 전류 변화(610I 및 630I로 각각 표시)는 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우(610V, 610I)와 도 3의 절연 게이트 바이폴라 트랜지스터(300)의 경우(630V, 630I)가 모두 컬렉터 전류가 감소하여 거의 0에 가깝게 줄어들며, 이에 따라 UIS에 의한 소자 파괴가 발생되지 않는다는 것을 알 수 있다. 단지 도 3의 절연 게이트 바이폴라 트랜지스터(300)의 경우에 있어서, 브레이크다운 전압이 상대적으로 다소 높게 나타나면서 전류가 감소하는 시간이 짧게 나타나는 이유는, 외부 회로의 저항 성분을 고려하지 않음으로 인하여 인덕터에 저장된 모든 에너지가 절연 게이트 바이폴라 트랜지스터(300)를 통하여 감소한다는 가정하에서, 동일한 에너지에 대하여 각 소자들이 갖고 있는 브레이크다운 전압의 차이로 인한 것이다.

<49> 다음에 도 7에 도시된 바와 같이, 절연 게이트 바이폴라 트랜지스터의 표면 부근의 n^+ 에미터 영역(310) 하단 부분에서 수평 방향을 따라 분포되는 홀 전류 밀도를 살펴보면, 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우(710으로 표시된 곡선), n^+ 형 에미터 영역(110)과 p^- 형 웰 영역(108)의 표면 경계 지점(도면에서 "B"로 나타낸 지점)을 중심으로 왼쪽, 즉 n^+ 형 에미터 영역(110)의 중심쪽에서 가장 높은 홀 전류 밀도를 나타내며, 이 결과는 도 1b와 동일한 결과를 나타낸다. 다만 홀 전류 밀도의 최대치는 상대적으로 가장 낮다. 이와 다르게, 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우(720으로 표시된 곡선), n^+ 형 에미터 영역(110)과 p^- 형 웰 영역(108)의 표면 경계 지점(도면에서 "B"로 나타낸 지점)에서 가장 높은 홀 밀도를 나타낸다. 참고적으로 도 1a의 절연 게이트 바이폴라 트랜지스터(100)에서의 n^+ 형 에미터 영역(110)과 p^- 형 웰 영역(108)의 표면 경계 지점(B')과 도 2a의 절연 게이트 바이폴라 트랜지스터(200)에서의 n^+ 형 에미터 영역(110)과 p^- 형 웰 영역(108)의 표면 경계 지점(B)의 위치가 서로 다른 것은, 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 가로폭인 20

μm 인 반면에 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 가로폭은 $12\mu\text{m}$ 로서 서로 다르기 때문이다.

<50> 도 3에 도시된 본 발명에 따른 절연 게이트 바이폴라(300)의 경우(731, 732 및 733으로 표시), n^+ 형 에미터 영역(110)과 p^- 형 웰 영역(108)의 표면 경계 지점(도면에서 "A"로 나타낸 지점)이 아닌 n^+ 형 에미터 영역(110) 내부(대략 $2\mu\text{m}$ 지점)에서 가장 높은 홀 전류 밀도를 나타내었다. 모두 최대 홀 전류 밀도의 크기는 도 1a의 절연 게이트 바이폴라 트랜지스터(100) 보다는 크고, 도 2a의 절연 게이트 바이폴라 트랜지스터(200) 보다는 작게 나타난다. 특히 p^- 형 웰 영역(308)과 p^- 형 플로팅 웰 영역(322) 사이의 간격이, 예컨대 대략 $4\sim 5\mu\text{m}$ 의 일정한 간격을 갖는 경우(731로 표시)가 최대 홀 전류 밀도가 가장 크고, 다음에 p^- 형 웰 영역(308)과 p^- 형 플로팅 웰 영역(322) 사이의 간격이 대략 $1\mu\text{m}$ 정도 더 줄어든 경우(732로 표시) 및 대략 $2\mu\text{m}$ 정도 더 줄어든 경우(733으로 표시)로 갈수록 최대 홀 전류 밀도는 다소 작아진다.

<51> 한편 n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도("??"로 나타낸 곡선)와 최대 홀 전류 밀도("??"로 나타낸 곡선)를 각각 나타내는 도 8을 참조하면, 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우, n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 가장 낮게 나타난다. 이와 반대로 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우에는, n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 가장 높게 나타난다. 그리고 본 발명의 일 실시예에 따라 도 3에 도시된 바와 같은 구조의 절연 게이트 바이폴라 트랜지스터들(301a~301c)의 경우, 도 1a의 절연 게이트 바이폴라

트랜지스터(100) 보다는 n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 더 높게 나타나고, 도 2a의 절연 게이트 바이폴라 트랜지스터(200) 보다는 n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 더 낮게 나타난다. 특히 n -형 에피택셜층(306)의 두께가 대략 $40\mu\text{m}$ 및 $45\mu\text{m}$ 인 경우(각각 301b 및 301c)의 경우에는 n -형 에피택셜층(306)의 두께가 대략 $50\mu\text{m}$ 인 경우(301a)보다 n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 다소 더 높게 나타난다. 따라서 비록 n -형 에피택셜층(306)의 두께가 줄어들어 UIS 내성은 다소 낮아지지만, 예컨대 포화 전압 및 스위칭 특성과 같은 소자의 다른 특성면에서는 향상되는 효과를 제공한다. 본 발명의 다른 실시예에 따라 p -형 웰 영역(308)과 p -형 플로팅 웰 영역(322) 사이의 간격이 대략 $1\mu\text{m}$ 및 $2\mu\text{m}$ 정도 각각 더 줄어든 경우(302, 303), n^+ 형 에미터 영역의 가장자리에서의 홀 전류 밀도 및 최대 홀 전류 밀도가 더 낮아진다. 이는 p -형 웰 영역(308)과 p -형 플로팅 웰 영역(322) 사이의 간격이 점점 더 줄어들수록, n -형 에피택셜층(306) 내에 보다 더 평평한 플래너 접합(planar junction) 구조(350)가 만들어지기 때문이다.

<52> 도 9 내지 도 14는 본 발명에 따른 모스 게이트형 트랜지스터의 일반적인 전기적 특성들을 각각 나타내 보인 그래프들이다.

<53> 먼저 포화 전압과 전류 밀도 사이의 관계를 나타낸 도 9에서, 참조 부호

"901"이 나타내는 곡선은 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우를 나타낸다. 참조 부호 "902" 및 "903"이 각각 나타내는 곡선들은 도 3에 도시된 본 발명에 따른 절연 게이트 바이폴라 트랜지스터(300)의 경우이다. 특히 참조 부호 "902"가 나타내는 곡선은 p⁻형 플로팅 웰 영역(322)과 p⁻형 웰 영역(308) 사이의 간격을 1 μ m 더 감소시킨 경우를 나타내고, 참조 부호 "903"이 나타내는 곡선은 p⁻형 플로팅 웰 영역(322)과 p⁻형 웰 영역(308) 사이의 간격을 1 μ m 더 감소시킴과 동시에 n⁻형 에피택셜층(306)의 두께를 10 μ m 더 감소시킨 경우를 나타낸다. 이 경우 어느 경우나 포화 전압에 따른 전류 밀도의 변화는 유사하게 나타난다. 그러나 p⁻형 플로팅 웰 영역(322)과 p⁻형 웰 영역(308) 사이의 간격을 1 μ m 더 감소시킨 동시에, n⁻형 에피택셜층(306)의 두께를 10 μ m 감소시킨 경우(903으로 표시)에 가장 좋은 특성을 나타낸다.

<54> 한편 참조 부호 "912"가 나타내는 곡선은 p⁻형 플로팅 웰 영역(322)을 에미터 전극과 전기적으로 단락한 경우이다. 그리고, 참조부호 "911"이 나타내는 곡선은 p⁻형 플로팅 웰 영역(322) 내에 n⁺형 영역을 더 형성시키고 에미터 전극과 전기적으로 단락한 경우이다. 두 경우만을 비교하면, 참조 부호 "911"이 나타내는 경우가 더 좋은 특성을 나타낸다는 것을 볼 수 있다.

<55> 다음에 150A/cm²의 전류 밀도가 나타날 경우에서의 컬렉터-에미터 포화 전압(V_{ce(sat)})을 나타낸 도 10을 참조하면, 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우 대략 2.0V의 값을 나타내며, 도 1a의 절연 게이트 바이폴라 트랜지스터(200)의 경우 대략 2.0V보다 약간 큰 값을 나타낸다(도면에서 "??"로 표시). 이에 반하여 본 발명에 따른 절연 게이트 바이폴라 트랜지스터(300)의 경우, p⁻형 플로팅 웰 영역(322)과 p⁻형 웰 영역(308) 사이의 간격 및 n⁻형 에피택셜층(308)의 두께에 따라 일정한 차이를 나타낸다. 구체적으로 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이, 예컨대 대략 4-5 μ m의 일정한 간격을 갖는 경우(301로

표시)가 컬렉터-에미터 포화 전압이 가장 낮아서 가장 양호한 특성 결과를 나타내며, 다음에 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이 대략 1 μ m 정도 더 줄어든 경우(302로 표시) 및 대략 2 μ m 정도 더 줄어든 경우(303으로 표시)로 갈수록 컬렉터-에미터 포화 전압이 점점 커진다. 또한 n⁻형 에피택셜층(308)의 두께가 50 μ m인 경우("??"로 표시), n⁻형 에피택셜층(308)의 두께가 45 μ m인 경우("??"로 표시) 및 n⁻형 에피택셜층(308)의 두께가 40 μ m인 경우("??"로 표시)로 갈수록 낮은 컬렉터-에미터 포화 전압을 나타내어 더 좋은 특성 결과를 나타낸다.

<56> 다음에 브레이크다운 전압의 변화를 나타내는 도 11을 참조하면, 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우 상대적으로 가장 낮은 브레이크다운 전압을 나타내며, 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우 비교적 큰 브레이크다운 전압을 나타낸다(도면에서 "??"로 표시). 한편 본 발명에 따른 절연 게이트 바이폴라 트랜지스터(300)의 경우, p⁻형 플로팅 웰 영역(322)과 p⁻형 웰 영역(308) 사이의 간격 및 n⁻형 에피택셜층(308)의 두께에 따라 일정한 차이를 나타낸다. 구체적으로 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이, 예컨대 대략 4-5 μ m의 일정한 간격을 갖는 경우(301로 표시) 상대적으로 낮은 브레이크다운 전압을 나타내며, 다음에 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이 대략 1 μ m 정도 더 줄어든 경우(302로 표시) 및 대략 2 μ m 정도 더 줄어든 경우(303으로 표시)로 갈수록 다소 높아진 브레이크다운 전압을 나타낸다. 그러나 세 경우 모두 큰 차이를 나타내는 것은 아니다.

<57> 한편 n⁻형 에피택셜층(308)의 두께가 50 μ m인 경우("??"로 표시), n⁻형 에피택셜층(308)의 두께가 45 μ m인 경우("??"로 표시) 및 n⁻형 에피택셜층(308)의 두께가 40 μ m인 경우("??"로 표시)로 갈수록 낮은 브레이크다운 전압을 나타내는데, 이때의 차이는 다소 큰 편이다.

<58> 다음에 게이트 전하량 특성을 나타내는 도 12를 참조하면, 게이트 전압에 모스 게이트형 트랜지스터 구동을 위한 일정 크기, 예컨대 15V의 게이트 전압을 인가하는 경우 게이트 절연막에 충전되는 전하량을 나타내는 게이트 전하량은 작을수록 좋은 특성을 나타내는 것이다. 따라서 도 2a의 절연 게이트 바이폴라 트랜지스터의 경우(1220으로 표시한 곡선)보다는 도 1a의 절연 게이트 바이폴라 트랜지스터의 경우(1210으로 표시한 곡선)가 더 좋은 특성을 나타낸다. 한편 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 경우, p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이, 예컨대 대략 4-5 μ m의 일정한 간격을 갖는 경우(1231로 표시)에서부터 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이 대략 1 μ m정도 더 줄어든 경우(1232로 표시) 및 대략 2 μ m정도 더 줄어든 경우(1233으로 표시)로 갈수록 점점 더 작은 게이트 전하량을 나타내어 양호한 특성을 나타낸다는 것을 알 수 있다. 게이트 전하량이 작을수록 적은 전류량으로 게이트를 쉽게 충전할수 있으므로, 게이트 구동회로의 구성을 보다 간단히 할수 있다.

<59> 다음에 턴 오프시 시간에 대한 컬렉터 전류 밀도의 변화를 나타내는 도 13을 참조하면, 도 1a의 절연 게이트 바이폴라 트랜지스터(100)의 경우(1310으로 표시) 턴 오프시 컬렉터 전류 밀도가 감소하는데 필요한 시간이 가장 크며, 이에 따라 턴 오프 딜레이가 가장 크다고 할 수 있다. 이에 반하여 도 2a의 절연 게이트 바이폴라 트랜지스터(200)의 경우(1320으로 표시) 더 작은 턴 오프 딜레이를 갖는다는 것을 알 수 있다. 마찬가지로 본 발명에 따른 절연 게이트 바이폴라 트랜지스터(300)의 경우(1331, 1332 및 1333으로 표시), 상대적으로 더욱 더 작은 턴 오프 딜레이를 갖는다. 특히 p⁻형 웰 영역(308)과 p⁻형 플로팅 웰 영역(322) 사이의 간격이, 예컨대 대략 4-5 μ m의 일정한 간격을 갖는 경우(1331로 표시)에서부터 p⁻형 웰 영역(308)과 p⁻

형 플로팅 웰 영역(322) 사이의 간격이 대략 $1\mu\text{m}$ 정도 더 줄어든 경우(1332로 표시) 및 대략 $2\mu\text{m}$ 정도 더 줄어든 경우(1333으로 표시)로 갈수록 점점 더 작은 턴 오프 딜레이를 나타낸다.

<60> 다음에 턴 오프시 시간에 대한 컬렉터 전류 밀도의 변화를 나타내는 도 13을 참조하면, 본 발명에 따른 절연 게이트 바이폴라 트랜지스터(300)의 n^- 형 에피택셜층(306)의 두께가 각각 $50\mu\text{m}$ 인 경우(1401로 표시), $45\mu\text{m}$ 인 경우(1402로 표시) 및 $40\mu\text{m}$ 인 경우(1403으로 표시), 모두 유사한 턴 오프 딜레이 특성을 나타내고 있다. 이는 n^- 형 에피택셜층(306)의 두께 변화가 턴 오프 딜레이 특성에는 큰 영향을 주지 않는다는 것을 나타낸다. 다만 테일 전류(tail current) 특성에는 다소 영향을 주는데, n^- 형 에피택셜층(306)의 두께가 작을수록 테일 전류값이 작아져서 양호한 특성을 나타낸다.

【발명의 효과】

<61> 이상의 설명에서와 같이, 본 발명에 따른 모스 게이트형 트랜지스터는, 에피택셜층보다 상대적으로 높은 불순물 농도를 갖는 JFET 영역을 사이에 두고 p-형 웰 영역과 나란하게 배치되는 p-형 플로팅 웰 영역을 구비함으로써, 정상적인 동작에 의한 캐리어 이동시 게이트 전극 하단부에서의 병목 현상을 억제할 수 있으며, UIS 조건하에서는 평평한 플래너 접합 구조의 디플리션 영역을 형성함으로써 높은 UIS 내성을 가질 수 있도록 하는 효과가 제공된다.

<62> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【특허청구범위】

【청구항 1】

컬렉터 영역으로 사용되는 반도체 기판;

상기 반도체 기판 위에 형성된 제1 도전형의 드리프트 영역;

상기 드리프트 영역의 상부 일정 영역에 형성된 제2 도전형의 웰 영역;

상기 드리프트 영역의 상부 일정 영역에서 상기 드리프트 영역보다 상대적으로 높은 제1 도전형의 불순물 농도를 가지면서 상기 웰 영역의 일 측면과 인접되게 형성되는 불순물 영역;

상기 드리프트 영역의 상부 일정 영역에서 상기 불순물 영역에 의해 상기 웰 영역과는 이격되도록 상기 불순물 영역과 인접되게 형성된 제2 도전형의 플로팅 웰 영역;

상기 웰 영역의 상부 일정 영역에 형성된 제1 도전형의 에미터 영역;

상기 에미터 영역과 상기 불순물 영역 사이의 웰 영역 표면을 덮도록 형성된 게이트 절연막; 및

상기 게이트 절연막 위에 형성된 게이트 전극을 포함하는 것을 특징으로 하는 모스 게이트형 트랜지스터.

【청구항 2】

제1항에 있어서,

상기 반도체 기판과 상기 드리프트 영역 사이에서 상기 드리프트 영역과 동일 도전형을 갖도록 형성된 버퍼층을 더 포함하는 것을 특징으로 하는 모스 게이트형 트랜지스터.



【청구항 3】

제1항에 있어서,

상기 웰 영역과 상기 플로팅 웰 영역 사이의 간격은 $3\text{-}6\mu\text{m}$ 인 것을 특징으로 하는 모스 게이트형 트랜지스터.

【청구항 4】

제1항에 있어서,

상기 드리프트 영역의 두께는 $40\text{-}120\mu\text{m}$ 인 것을 특징으로 하는 모스 게이트형 트랜지스터

【청구항 5】

제1항에 있어서,

상기 반도체 기판의 도전형은 제1 도전형인 것을 특징으로 하는 모스 게이트형 트랜지스터.

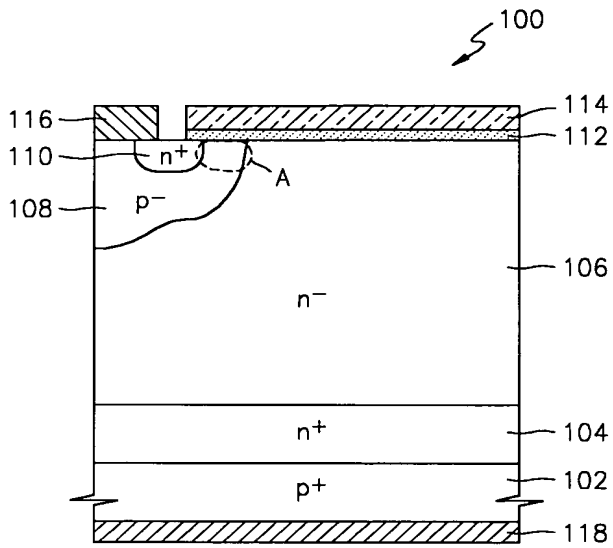
【청구항 6】

제1항에 있어서,

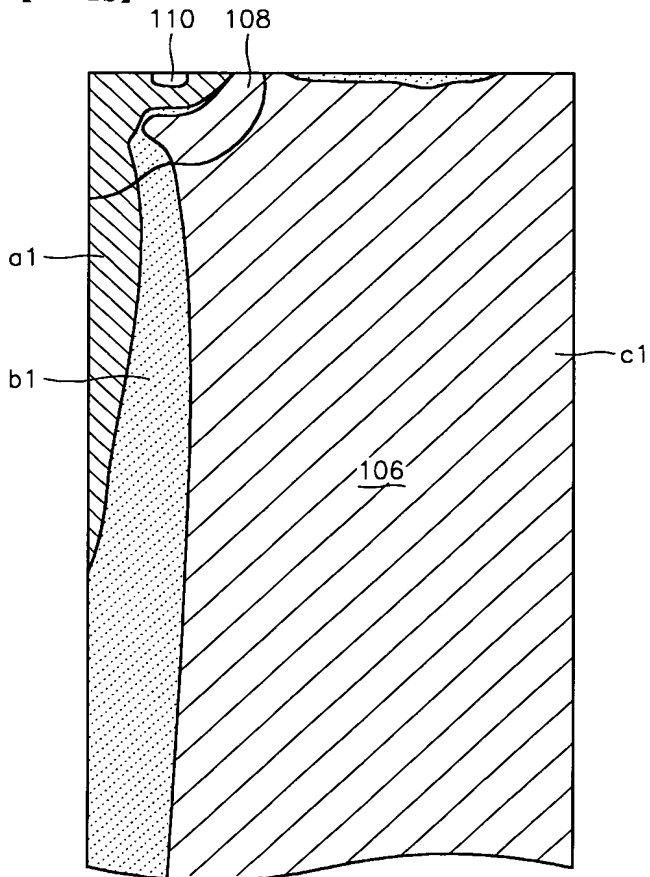
상기 반도체 기판의 도전형은 제2 도전형인 것을 특징으로 하는 모스 게이트형 트랜지스터.

【도면】

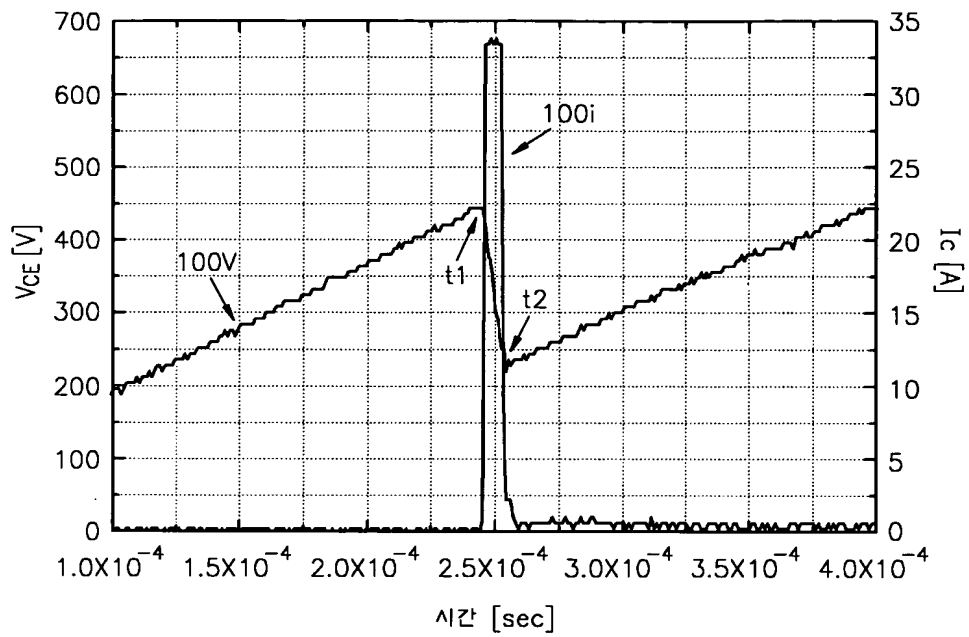
【도 1a】



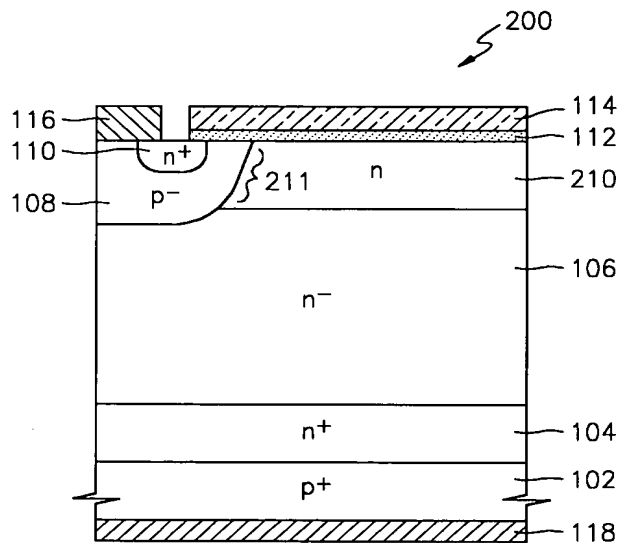
【도 1b】



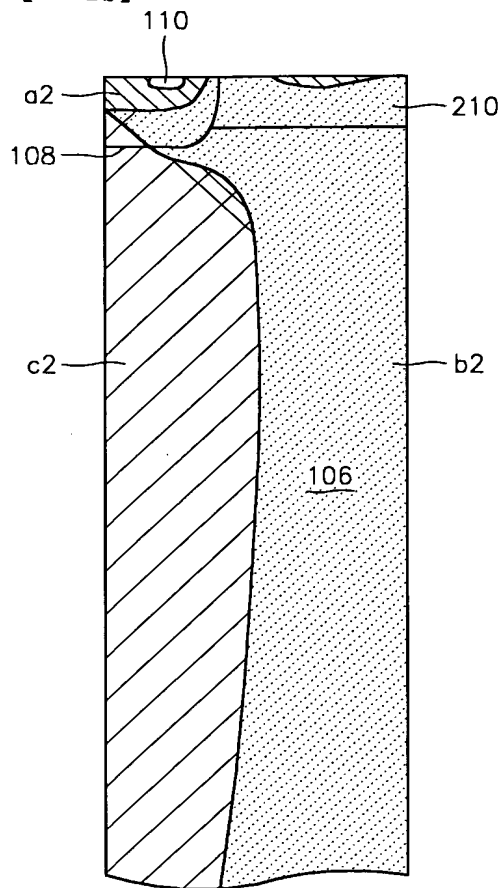
【도 1c】



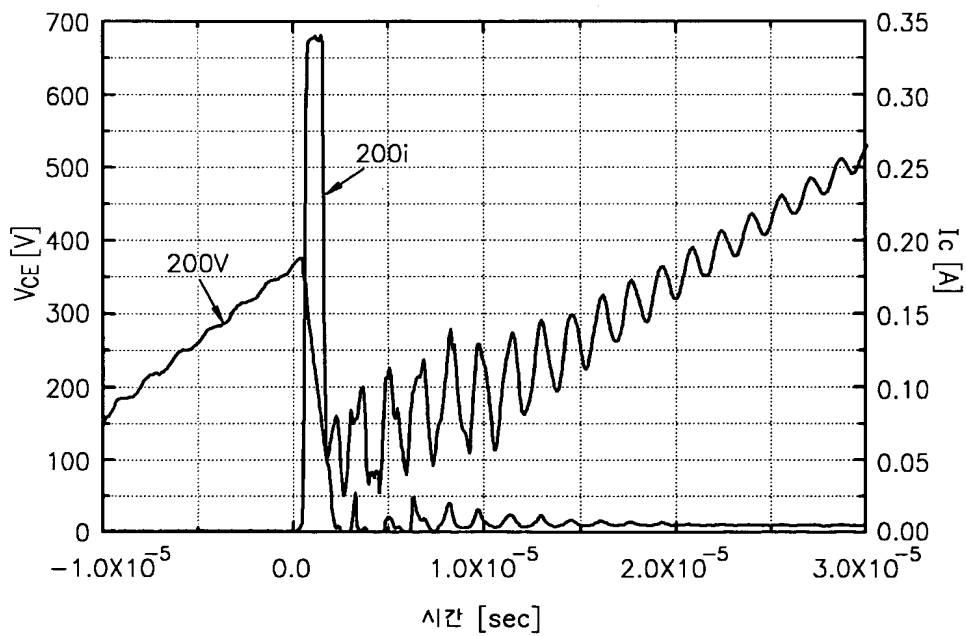
【도 2a】



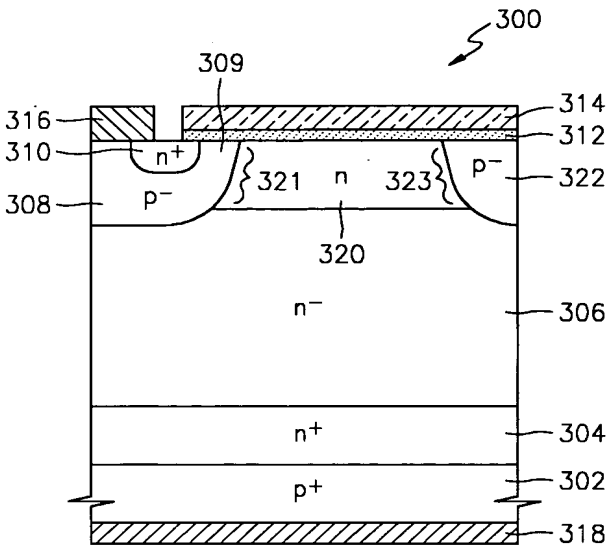
【도 2b】



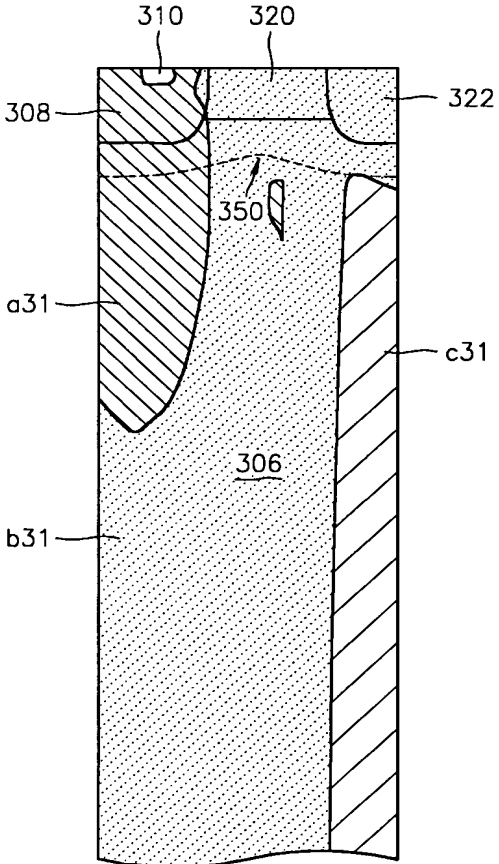
【도 2c】



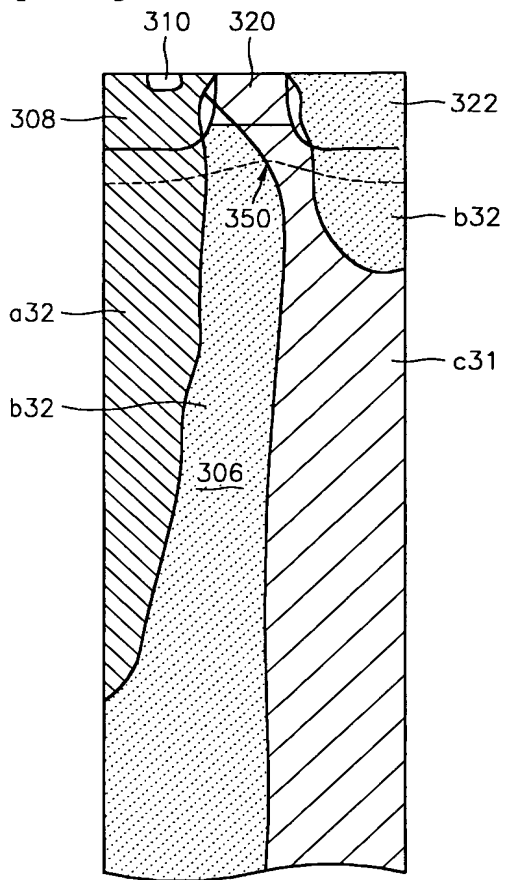
【도 3】



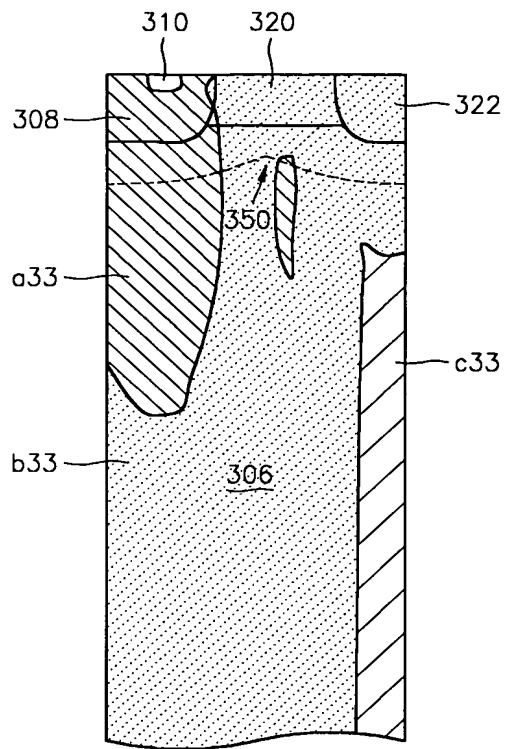
【도 4a】



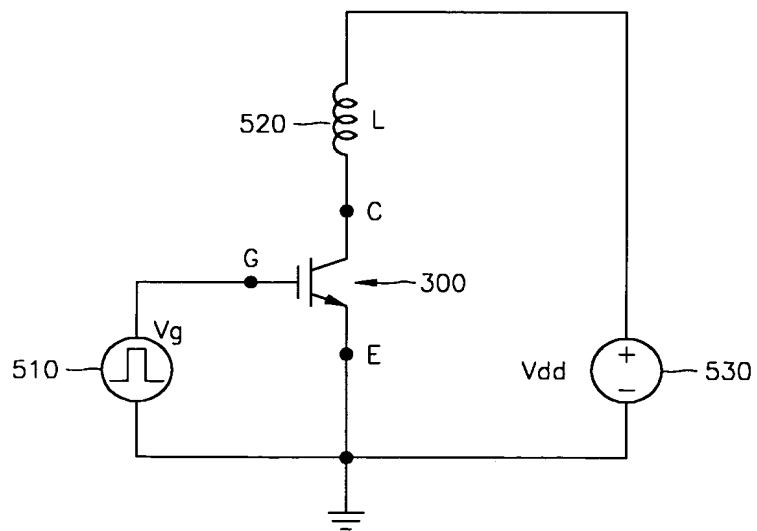
【도 4b】



【도 4c】

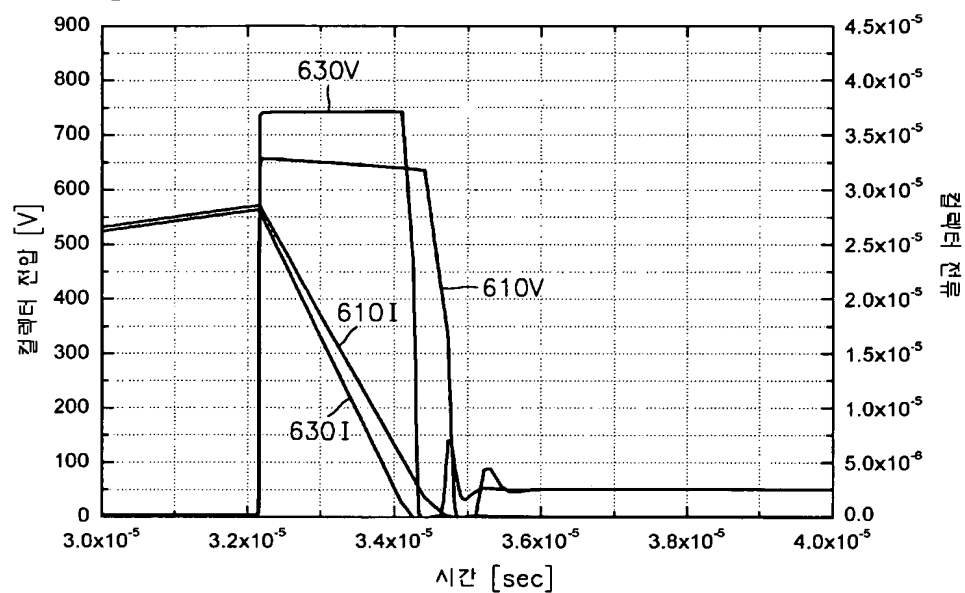


【도 5】

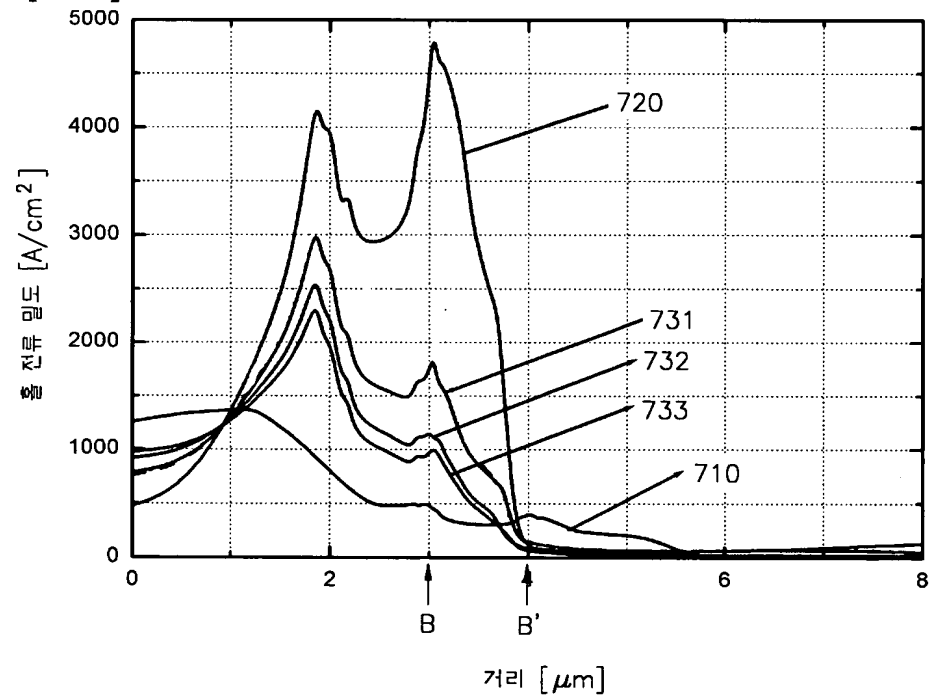




【도 6】

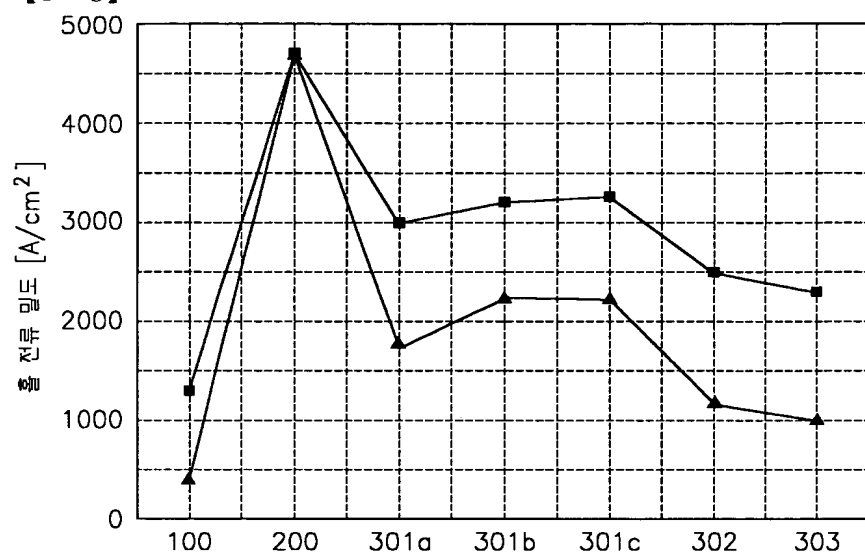


【도 7】

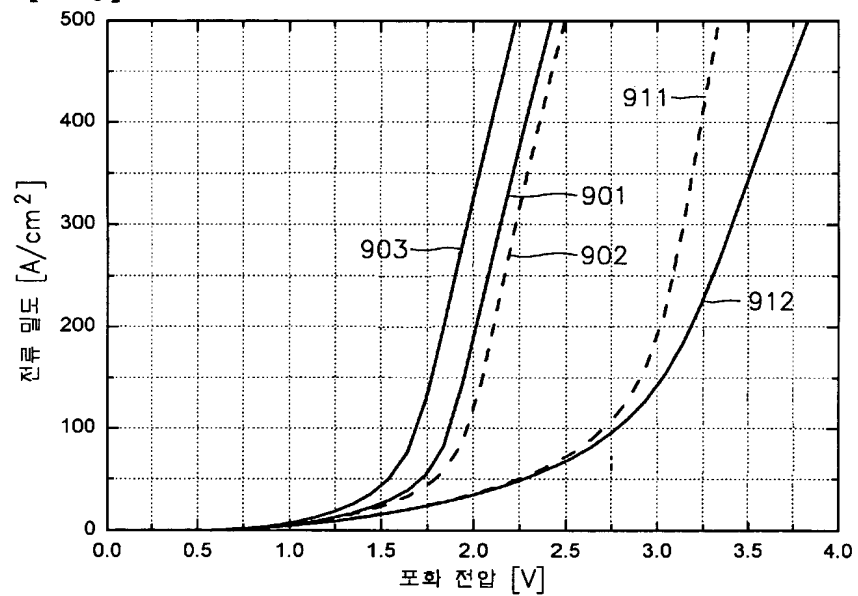




【도 8】

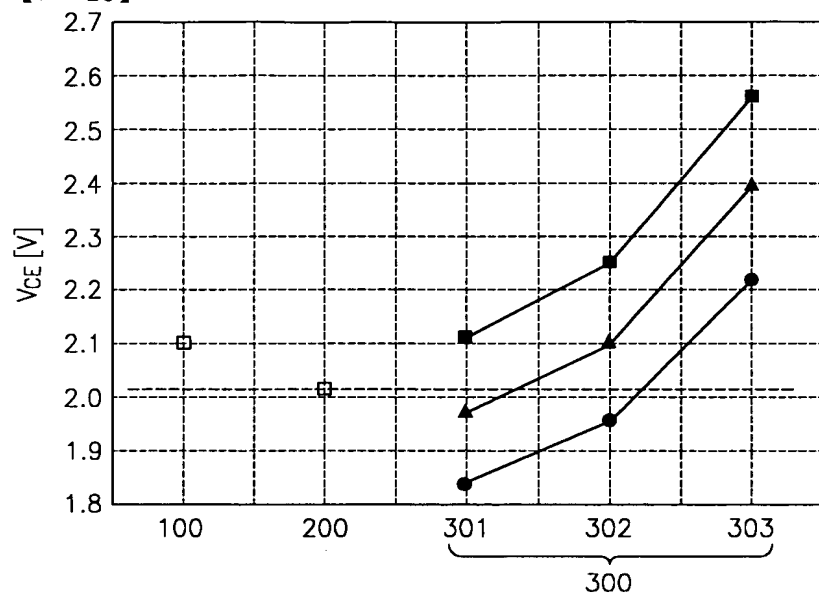


【도 9】

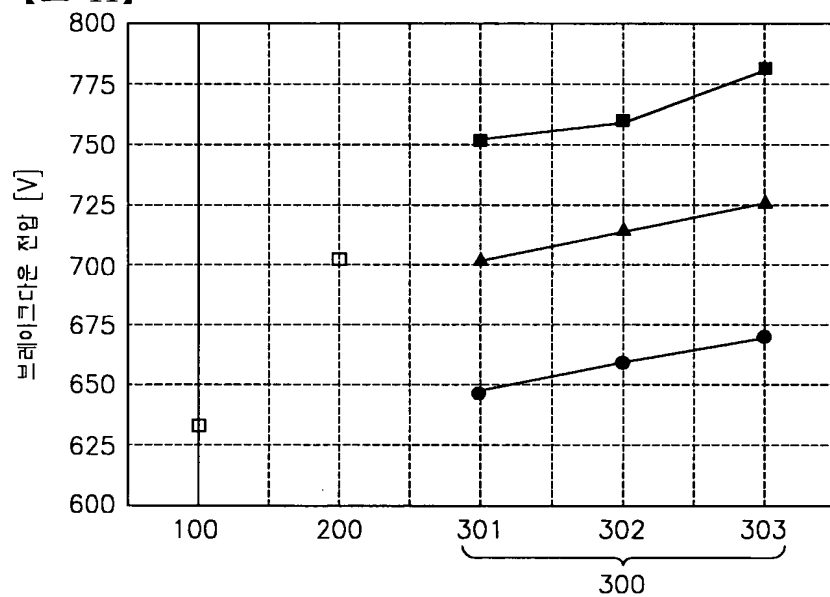




【도 10】

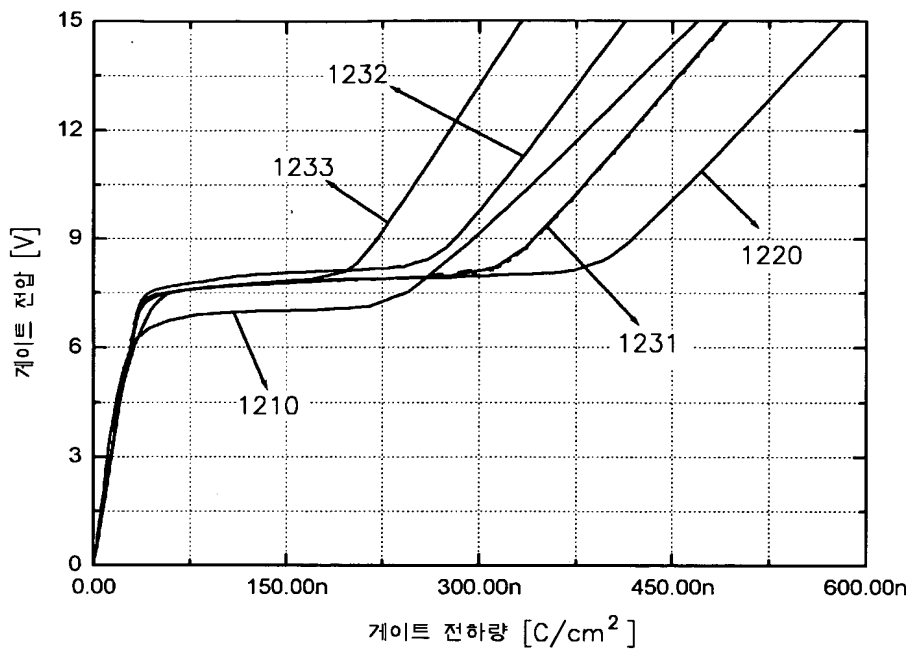


【도 11】

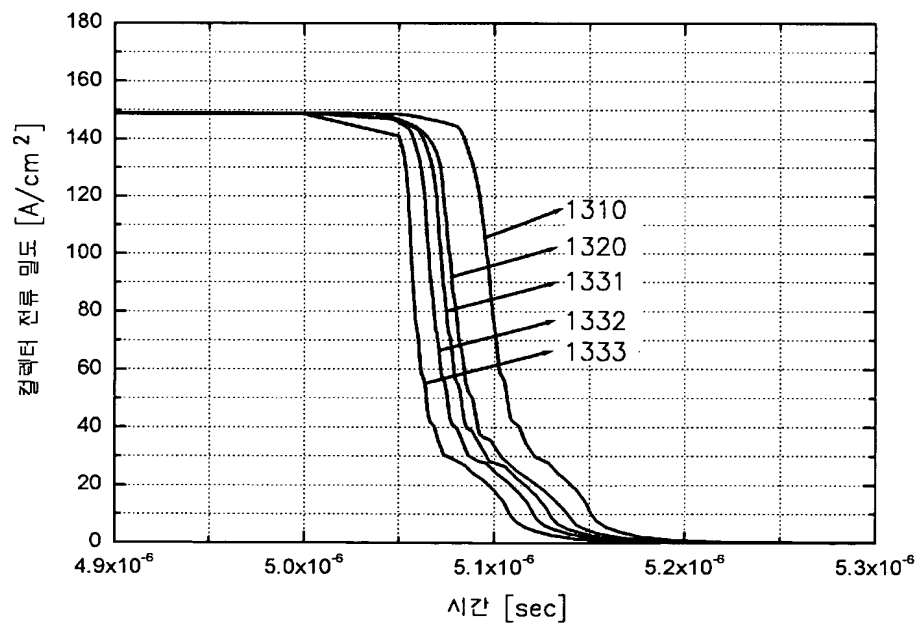




【도 12】



【도 13】



【도 14】

